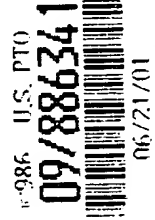


中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA



茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2000 年 12 月 27 日
Application Date

申請案號：089127914
Application No.

申請人：華邦電子股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2001 年 1 月 19 日
Issue Date

發文字號：09011000823
Serial No.

申請日期	
案號	
類別	

A4
C4

(以上各欄由本局填註)

發明專利說明書		
一、發明 名稱	中 文	無間隙密集輸出入之記憶體測試方法
	英 文	
二、發明 人	姓 名	李成材
	國 籍	中 華 民 國
	住、居所	新竹縣竹東鎮康莊街 107 巷 22 號
三、申請人	姓 名 (名稱)	華邦電子股份有限公司
	國 籍	中 華 民 國
	住、居所 (事務所)	新竹科學工業園區研新 3 路 4 號
	代 表 人 姓 名	焦佑鈞

經濟部智慧財產局員工訓練教材

裝

訂

線

四、中文發明摘要（發明之名稱：

)

無間隙密集輸出入之記憶體測試方法

本發明係關於一種無間隙密集輸出入(I/O)之記憶體測試方法，尤指一種不僅可對記憶體的各輸出入接腳進行密集而無間隙之輸出入作業外，亦同時令記憶體的控制接腳亦呈無間隙密集輸入指令，藉以較確實地檢測出弱化的記憶體問題，其在每個可觸發指令的時脈或時包(packet in RDRAM)均觸發控制指令，使得控制接腳呈密集無間隙地輸入，此方法之主體為透過對記憶體的各記憶庫(bank)以交錯方式送入控制指令，使其在每個可觸發指令的時脈或時包均觸發一個控制指令，亦同時透過讀或寫等控制指令之適時觸發，連帶地使得對應時脈均有訊號輸出，提供一種可令記憶體輸出入端及控制端均呈無間隙密集運作之記憶體測試法，藉以篩選出記憶體的問題者。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

本發明係為一種無間隙密集輸出入之記憶體測試方法，為一種透過對記憶體之輸出入接腳及控制接腳進行密集而無間隙之運作，藉以較確實地檢測出弱化的記憶體的測試法。

按記憶體為電腦系統不可或缺的必要元件，其對系統之穩定與否有著決定性的影響，隨著記憶體容量及速度上不斷地增加，記憶體的製造技術已達 0.2 微米以下，供應電壓為低於 3.3 伏特，操作速度更在 133 MHz 以上，在此高密度、低操作電壓以及高操作頻率等因素下，導致記憶體相當敏感，容易因製程、外來訊號或內部產生的雜訊導致損壞或弱化(weaken)，而影響其穩定性，因此，如何在短時間內確實地篩選出記憶體弱化問題，即為測試工程師們有待努力解決的課題。

針對記憶體弱化或不穩定的問題上，以現今記憶體測試方式而論，有著無法在短時間內檢測出的問題，以下即針現今記憶體測試型態予以說明之，一般記憶體測試程式概為透過對記憶體的指令接腳、位址接腳、輸出入接腳進行複雜的狀態設定及複雜的資料存取，藉以檢測出記憶體各元件的好壞，對於其資料存取方式上，例如：欲檢測記憶體某一字元線(W/L)(word line)的連續性時，可藉由一維型式的列存取圖案(row access pattern)對該特定字元線進行存取即可獲得，而欲檢測記憶體某一位元線(B/L)(bit line)的連續性時，則為透過一維型式的行存取圖案(column access pattern)對該特定的位元線進行存取者，此外，如 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

991 年 A.J. van de Goor, John Wiley & Sons 所著之“測試半導體記憶體”(Testing Semiconductor memory)一書，則揭露諸如二維的檢測板(Checkboard)、GALPAT、滑動偵錯(Sliding Diagonal)、蝴蝶測試圖案(Butterfly pattern)等方式，以提供較佳的錯誤檢測效果。

傳統方式雖然對記憶體有著多種不同的測試型態，但仍無法脫離記憶體存取指令的基本架構，如第五圖及第六 A、B 所示在單一記憶庫(bank)的例子中，依照時脈的先後順序，依序送入啟動記憶庫(bank active)、輸入讀寫指令(write or read)以及預充電(pre-charge)等控制指令之步驟，在上述例子中係以資料長度(burst length)為 4 的情況下，在第五圖中，在每次觸發寫入指令時，為在資料輸出入端(DQ)呈現四個時脈長度的資料訊號，而在第六 A、B 圖中，則以延遲時間設在 2 或 3 的狀態下，則在每次發生讀取指令時，為延遲 2 或 3 個時脈後在 DQ 端呈現資料輸出，此第五圖及第六 A、B 圖一般係作為記憶體最基本的測試方法，供測試記憶體運作正常與否，除了上述最基本的控制方式外，亦有其他不同的類型，如第七圖及第八 A、B 圖為顯示於讀寫指令中包括有自動預充電(auto pre-charge)的作法，此方式為可供測試出該自動預充電運作之正常與否，而第九圖～第十二圖為顯示多個記憶庫同時運作之作法，第九圖及第十 A、B 圖為顯示啟動兩個記憶庫的指令輸出入型態，第十一圖及第十二 A、B 圖則為顯示啟動及交錯存取四個記憶庫的方法，於第九圖至第十二圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

之例子中，均可使輸出入端(DQ)獲得無間隙的連續資料輸出，獲致資料輸出入最佳化的效果，然以該第九圖至第十二圖之例子中，若充做為記憶體的測試方法，充其量僅能印證其輸出入可符合規格要求而已，但是否即表示記憶體為無缺陷，則有待商榷，此乃由於，記憶體的輸出入量雖已符合要求，然而對於記憶體的控制接腳方面，並未達最高的負荷量，在第九圖至第十二圖中，於各記憶庫均已進入啓動(active)的狀態下，在第九及第十A、B圖中，第6、7、10、11、14、15、18、19、22、23、26、27時脈處均呈現無指令輸入的閑置(wait)的狀態，在第十一圖及第十二A、B圖中，則在第14、15、18、19、22、23及26、27時脈處亦呈無指令觸發閑置狀態，亦即前述習知的記憶體測試方式，並無法模擬出記憶體的控制接腳呈連續無間隙的密集指令輸入狀態，當然無法確保記憶體呈無缺陷狀態，故基於傳統記憶體測試方法之嚴謹度不足的情況下，確有予以改善之必要。

本發明之主要目的在於提供一種無間隙密集指令輸入之記憶體測試方法，為一種可對記憶體之輸出入接腳以及控制接腳進行最高負荷量之操作，以供確實地檢測出記憶體弱化問題的測試方法。

本發明之次一目的在於提供一種無間隙密集輸出入之記憶體測試方法，此檢測方法除了適用於一般DRAM之外，亦可適用於新一代的DDR-DRAM以及RDRAM

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（4）

M，提供寬廣的利用性。

本發明之又一目的在於提供一種無間隙密集輸出入之記憶體測試方法，主要為巧妙地搭配各記憶體庫之交錯式指令輸入，令每個時脈週期均發生一控制指令，以及同時令記憶體輸出入接腳亦呈高負荷量，構成一種可同時令記憶體之控制接腳及輸出入接腳均呈高負荷量之記憶體測試方法，據以解決傳統測試方式不夠嚴謹及無法確實地檢測出弱化元件之問題者。

本發明之無間隙密集輸出入之記憶體測試方法，為包括：

一為令輸出入(I/O)接腳呈無間隙連續輸出入資料之步驟；及

一令記憶體的控制接腳呈無間隙地輸入控制指令；

藉其對記憶體之輸出入接腳以及控制接腳設定在無間隙之高負載量狀態，藉以篩選出記憶體弱化問題者。

為使貴審查委員能夠進一步瞭解本發明之方法、特徵及其他目的，茲附以圖式詳細說明如后：

（一）圖式部份：

第一 A、B、C 圖：係本發明之第一至第三實施例時序圖。

第二 A、B、C、D 圖：係本發明之第四至第七實施例時序圖。

第三 A、B、C 圖：係本發明之應用 DDR-DRAM 之各種實施例時序圖。

五、發明說明（七）

第四 A、B 圖：係本發明之應用於 RDRAM 之兩實施例時序圖。

第五圖：係習知單一記憶庫之寫入模式之時序圖。

第六 A、B 圖：係習知單一記憶庫之讀取模式的時序圖。

第七圖：係習知單一記憶庫之寫入及自動預充電模式之時序圖。

第八 A、B 圖：係習知單一記憶庫之讀取及自動預充電模式之時序圖。

第九圖、第十 A、B 圖、第十一圖、第十二 A、B 圖：係習知多記憶庫交錯指令觸發之時序圖。

（二）·圖號部份：

“無”

本發明為提供一種可較嚴謹地檢測出記憶體弱化問題之檢測方法，主體為透過巧妙地調配施加至多個記憶庫（bank）的交錯型控制指令，除了可令記憶體的輸出入接腳呈現無間隙連續的最高負載量輸出入作業外，亦一併令記憶體的指令接腳亦呈無間隙的指令輸入，對 SDRAM 及 DDR-DRAM 而言，為在每個時脈週期均有著控制指令輸入與資料輸出入，令記憶體所有的控制邏輯及元件處於高負載狀態，而對 RDRAM 而論，為令每個指令“時包”週期均有指令輸入，使得記憶體每個“資料時包”都有資料輸出入，亦達到令元件處於高負載狀態，如此，可令原呈弱化現象之記憶體元件得以確實地篩選出，據以提供可較確實地檢驗出記憶體弱化之測試方法者。

五、發明說明(6)

關於本發明該可令指令輸入端及資料輸出入端呈高負載與無間隙的實施態樣，只要是可對記憶體的前述各接腳呈現無間隙之型態即可，並無實體上的限制，以下即詳細說明之，如第一 A、B、C 圖中，為分別顯示本發明在 2、4、8 等之不同資料長度 (Burst length) 以及輸入不同類型控制指令時的各種實施例時序圖，在第一 A 圖中，為在記憶體庫 0 ~ 3 (Bank0~3) 分別以間隔兩個時脈各別交錯地啟動(active)，然後再以間隔固定的時間觸發寫入 (含自動預充電) 之控制指令，如此，不僅可在資料輸出入端 (DQ) 處獲得無間隙之連續資料輸出入效果外，更在圖面之啟動記憶體庫 3 (Bank2) 之後，為對應於每個時脈 (CLK) 均有控制指令輸入或觸發動作，即可同時令輸出入接腳及控制指令接腳均呈無間隙運作的效果。

如第一 B 圖所示，在資料長度為 4 的場合，可將觸發每個記憶體庫之控制指令規劃為“啟動記憶體庫”－“第一次寫入”－“第二次寫入”以及“記憶體庫預充電”等控制指令，亦可達令輸出入及控制指令接腳均呈無間隙操作者。

如第一 C 圖所示，在資料長度為 8 的場合，此實施例與前述第一 A、B 圖不同處為在於：可將不同記憶體庫設為不同的指令輸入順序及數量的控制，如第一 C 圖之記憶體庫 0 為使用“啟動”－“寫入”－“寫入”－“預充電”之指令順序，而記憶體庫 1 則為“啟動”－“預充電”－“啟動”－“寫入”－“寫入”－“預充電”，於記憶體庫 2 則為“啟動”－“預充電”－“啟動”－“預充電”－“啓

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

動”－“寫入”－“寫入”，在記憶體庫3則設為其他態樣，一樣可達到令輸出入腳及控制指令無間隙的運作。

在第二A、B圖中，為分別顯示在不同延遲時脈數量（2或3），資料長度為2，且在各個記憶體庫使用“啓動”－“讀取（含自動預充電）”的指令模式之交錯方式運作下，顯示在對記憶體進行讀取測試時，可達到每一時脈對應有資料輸出入及指令觸發動作者。

本發明除了可達到令輸入指令以及資料輸出入呈無間隙的連續操作之外，亦可視實際測試之需要，刻意地將部份輸入指令中斷或延遲，亦即如第二C圖所示，可透過一控制訊號（CKE）在時序的中段位置觸發，令下一個輸入指令呈延遲狀態，達到令輸入指令以及輸出入狀態延遲，達到刻意地令輸入指令以及資料輸出入呈有間隙而非連續狀態，亦可供檢測出記憶體運作之正常與否，同樣的，如第二D圖所示，亦可透過一遮罩訊號（DQM）（MASK），適時遮斷特定位置的資料輸出入訊號，以達到刻意呈現有間隙不連續輸出入資料的狀態，亦屬本發明可實施的範圍。

本發明之無間隙的指令輸入及資料輸出入的測試方法，為僅變化指令的輸入順序及數量，使其可產生記憶體高負荷量的狀態，故而同樣適用於新一代的記憶體，如DDR－DRAM以及RDRAM等，如第三A、B、C圖所示，為揭露應用於DDR－DRAM的寫入及讀取的實施例時序圖，由時序圖中應可清楚發現，控制指令的輸入

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明（ 8 ）

方式及觸發各記憶庫的型態均相同，其間差異僅在於 D D R - D R A M 為同一時脈可輸出入兩筆資料而已，適用性當無庸置疑，同理，亦可運用至 R D R A M 中，如第四 A、B 圖之分別為進行寫入及讀出之動作時序圖所示，其不同處僅在於係以“時包”(packet)為單位進行指令輸入以及資料輸出入作業而已，只要令指令時包以及資料時包呈連續發生，即可獲致無間隙的連續指令輸入與連續輸出入資料的效果。

故以前述說明可知，本發明為提供一種可解決習知記憶體測試方法僅令輸出入(I/O)端為最大負載之不盡周嚴的缺陷下，透過對記憶體的控制指令巧妙地調配，使其不僅可令輸出入有較大負載之外，亦同時令記憶體的控制接腳呈現無間隙的指令輸入，令記憶體的各部位均呈高負荷量之狀態，如此，當可提供較嚴謹確實的檢測效果，確為一符合新穎性及進步性之無間隙密集輸出入之記憶體測試方法，應符專利申請要件，爰依法提出申請。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1．一種無間隙密集輸出入之記憶體測試方法，包括：

一為令記憶體資料(I/O)接腳呈無間隙連續輸出入資料之步驟；及

一令記憶體的 control 接腳為呈無間隙地輸入控制指令。

2．一種無間隙密集輸出入之記憶體測試方法，包括：

一為令記憶體資料接腳呈無間隙連續輸入資料之步驟；及

一令記憶體的 control 接腳呈無間隙地輸入控制指令。

3．一種無間隙密集輸出入之記憶體測試方法，包括：

一為令記憶體資料接腳呈無間隙連續輸出資料之步驟；及

一令記憶體的 control 接腳呈無間隙地輸入控制指令。

4．如申請專利範圍第 1、2 或 3 項所述之無間隙密集輸出入之記憶體測試方法，其中該提供記憶體之控制指令訊號，為透過至少兩個記憶體庫(BANK)之各種控制指令呈交錯搭配依序觸發者。

5．如申請專利範圍第 1、2 或 3 項所述之無間隙密集輸出入之記憶體測試方法，其中該記憶體可為 S D R A M、D D R - D R A M 或 Rambus R D R A M 者。

6．如申請專利範圍第 1、2 或 3 項所述之無間隙密集輸出入之記憶體測試方法，其中該無間隙連續輸出

六、申請專利範圍

（入）資料可以部份被罩住(mask)，以刻意地呈現有間隙不連續輸出（入）資料的狀態。

7．如申請專利範圍第1、2或3項所述之無間隙密集輸出入之記憶體測試方法，其中該無間隙輸入控制指令動作，可以部份被延遲，而呈有間隙輸出入資料的狀態。

8．如申請專利範圍第1、2或3項所述之無間隙密集輸出入之記憶體測試方法，其中該無間隙輸入控制指令動作，可以被中斷，而呈有中斷指令的指令輸入狀態。

9．如申請專利範圍第6項所述之無間隙密集輸出入之記憶體測試方法，其中該提供記憶體之控制指令訊號，為透過至少兩個記憶庫（BANK）之各種控制指令呈交錯搭配依序觸發者。

10．如申請專利範圍第7項所述之無間隙密集輸出入之記憶體測試方法，其中該提供記憶體之控制指令訊號，為透過至少兩個記憶庫（BANK）之各種控制指令呈交錯搭配依序觸發者。

11．如申請專利範圍第8項所述之無間隙密集輸出入之記憶體測試方法，其中該提供記憶體之控制指令訊號，為透過至少兩個記憶庫（BANK）之各種控制指令呈交錯搭配依序觸發者。

12．如申請專利範圍第6項所述之無間隙密集輸出入之記憶體測試方法，其中該記憶體可為SDRAM、DDR-DRAM或RambusDDR-DRAM者。

13．如申請專利範圍第7項所述之無間隙密集輸出

六、申請專利範圍

入之記憶體測試方法，其中該記憶體可為 S D R A M、D
D R - D R A M 或 Rambus R D R A M 者。

1 4 · 如申請專利範圍第 8 項所述之無間隙密集輸出
入之記憶體測試方法，其中該記憶體可為 S D R A M、D
D R - D R A M 或 Rambus R D R A M 者。

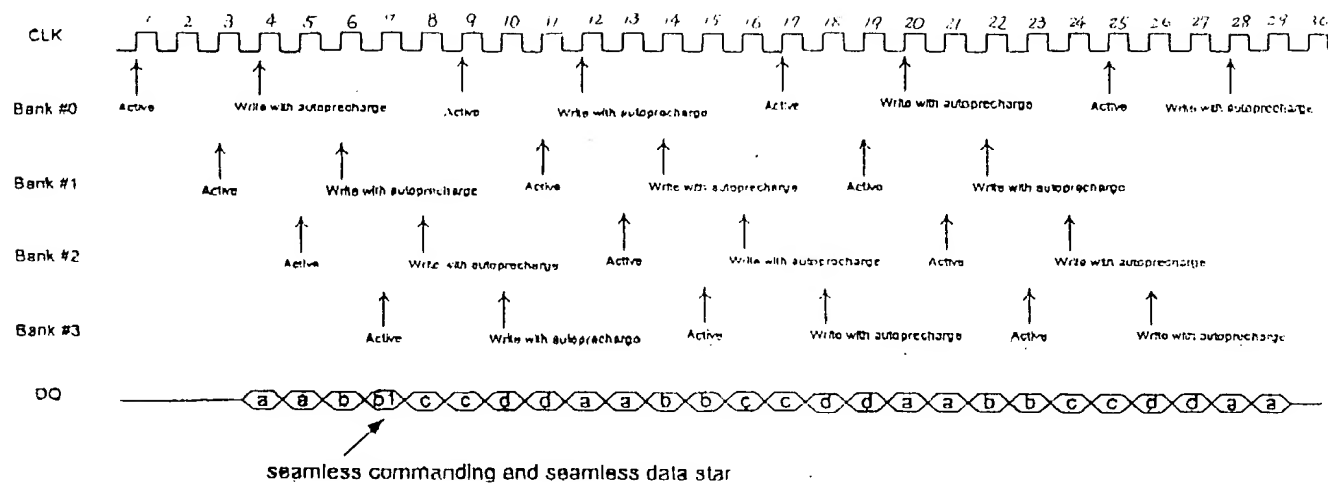
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

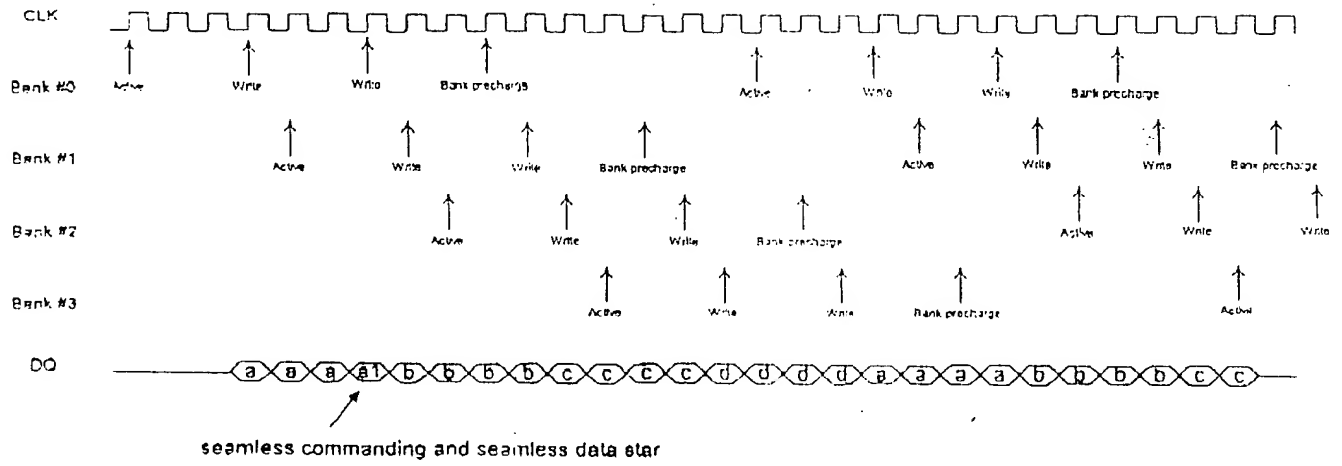
線

SDRAM; Burst length=2

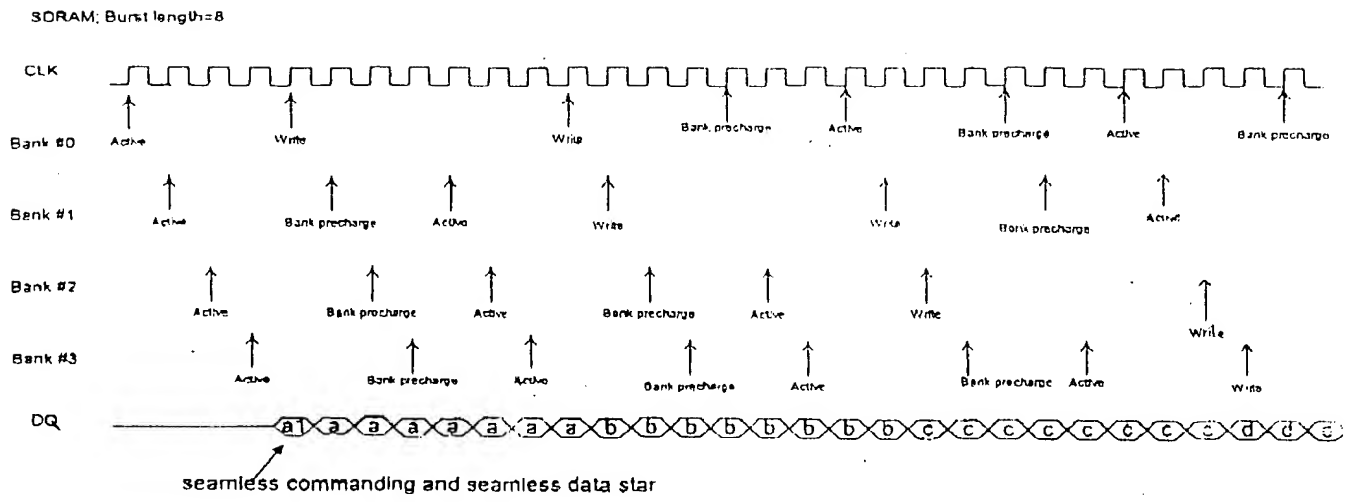


第一 A 圖

SDRAM: Burst length=4

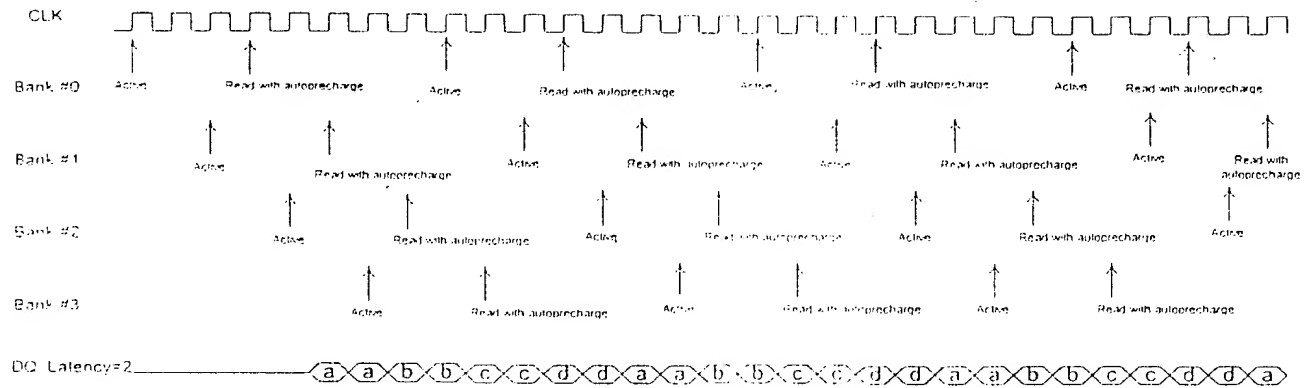


第一 B 圖



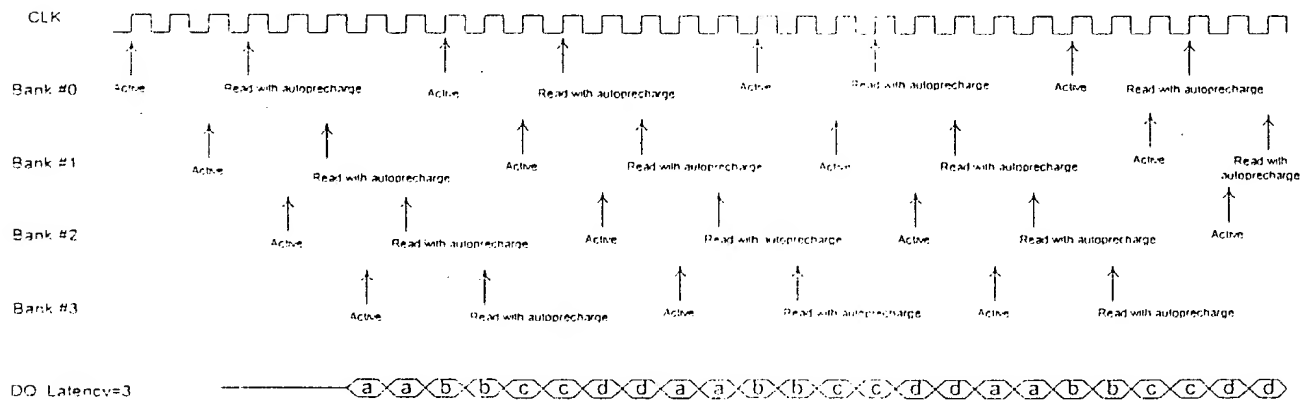
第一 C 圖

SDRAM; Latency=2, Burst length=2;



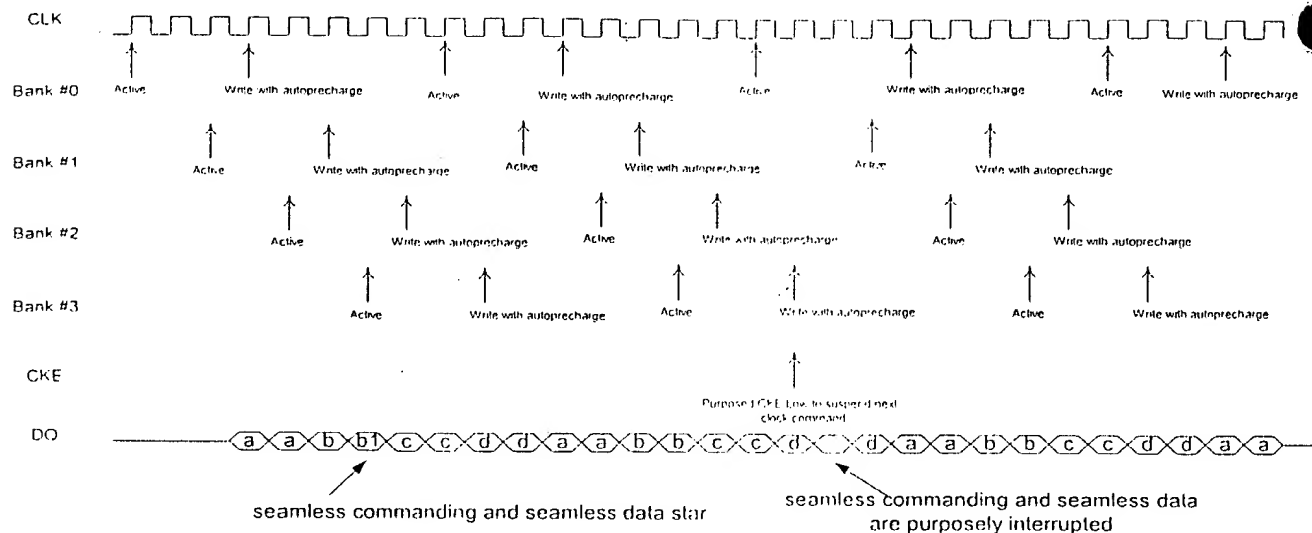
第 二 A 圖

SDRAM; Latency=3; Burst length=2;



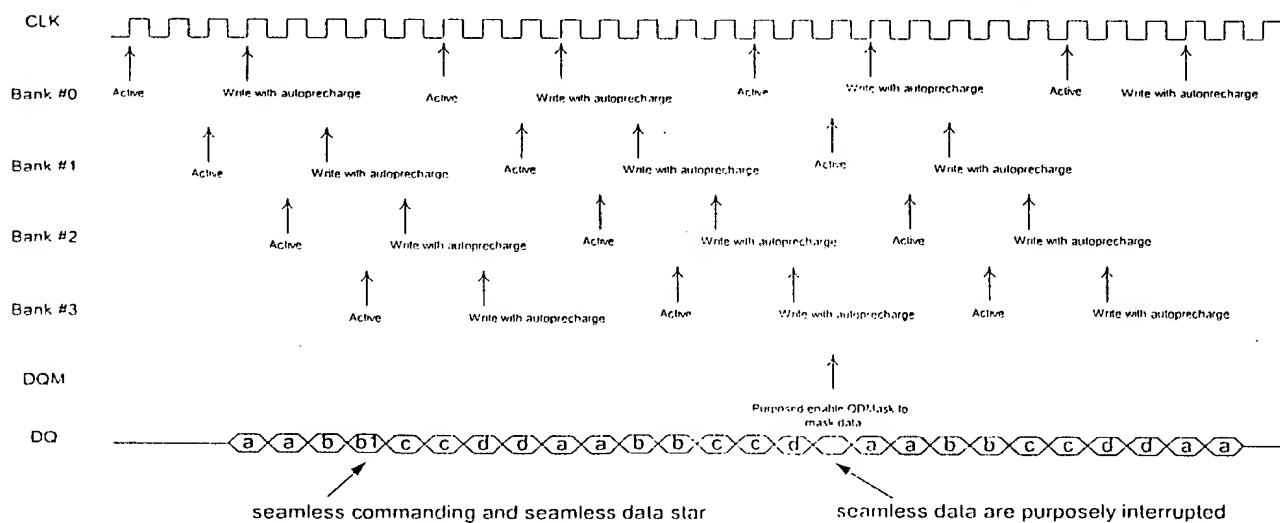
第 二 B 圖

SDRAM; Burst length=2



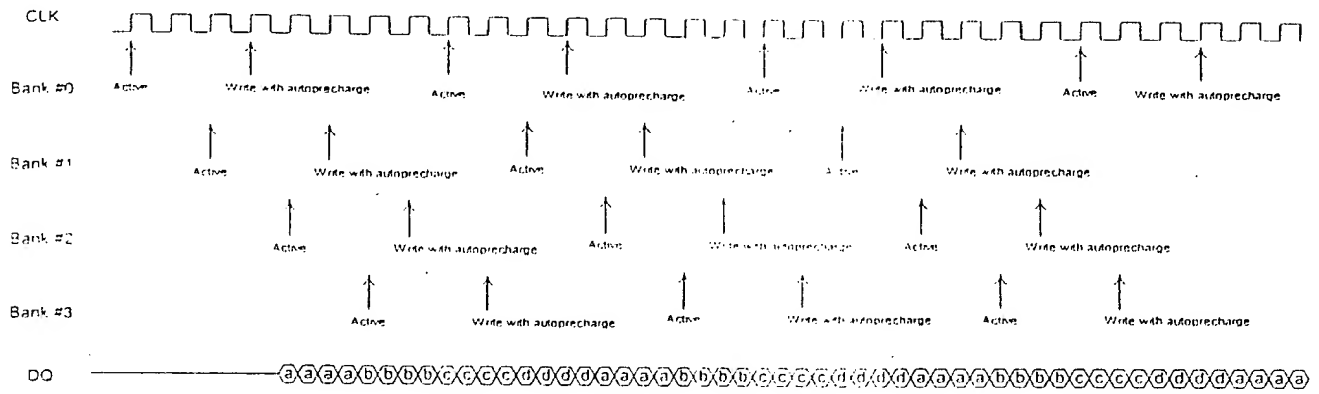
第 二 C 圖

SDRAM; Burst length=2



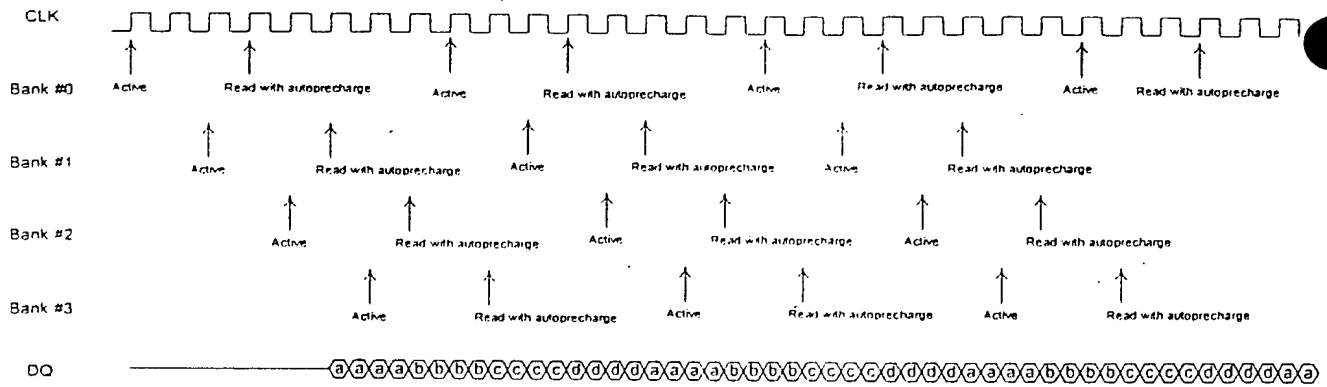
第 二 D 圖

DDR, Latency=2 : Burst length=4



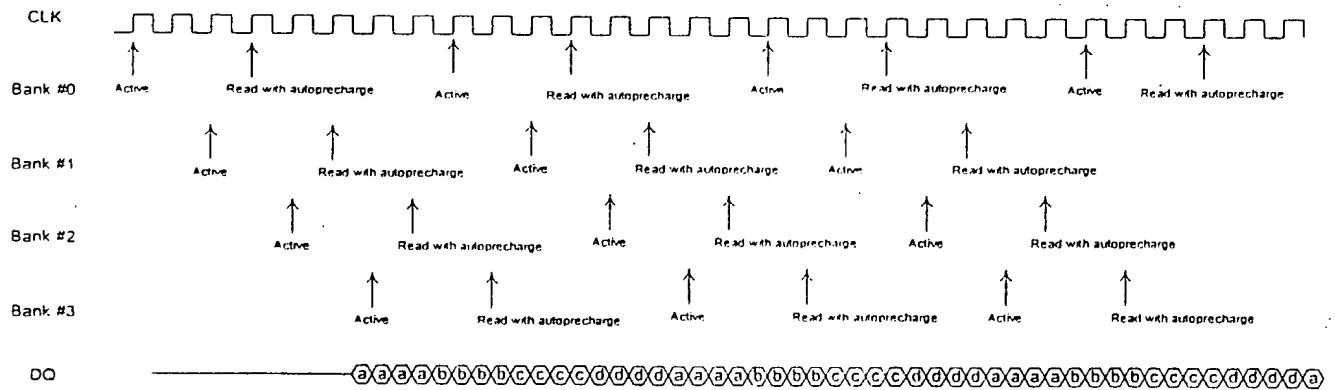
第三 A 圖

DDR; Latency=2; Burst length=4



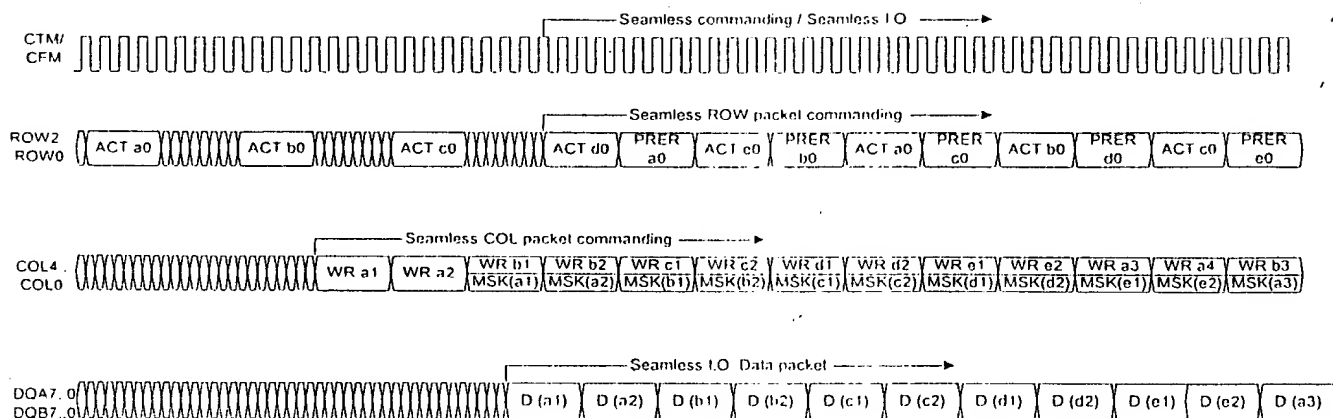
第三 B 圖

DDR; Latency=2.5; Burst length=4



第三 C 圖

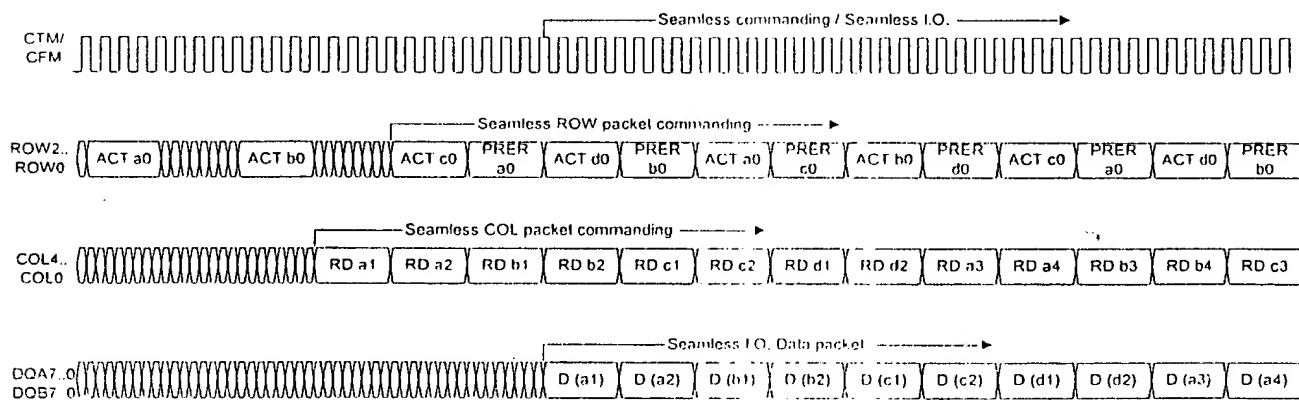
RDRAM: $t_{RR} = 8$ cycle; $t_{CWD} = 6$ cycle; $t_{RP} = 4$ cycle;



第四 A 圖

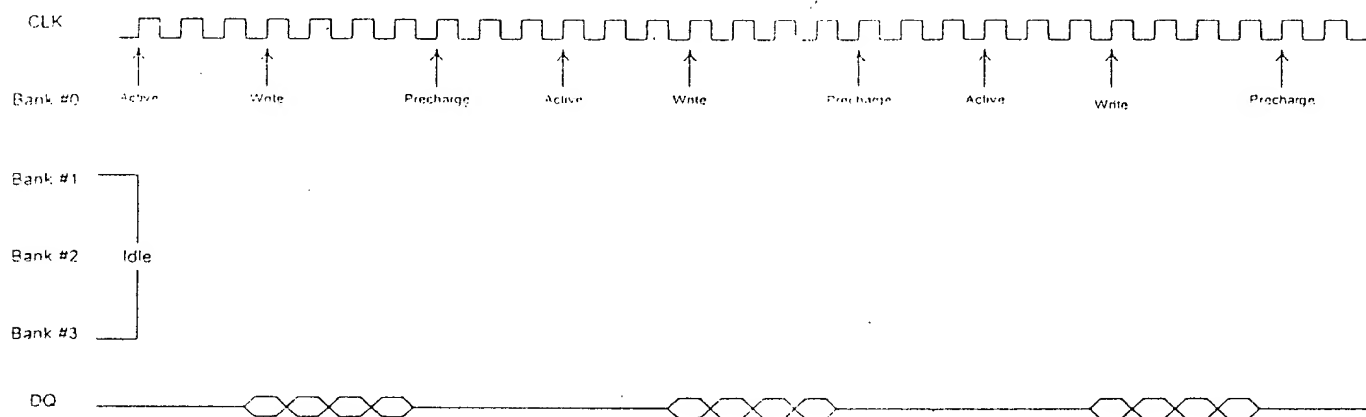
Transaction a:	a0 = {Da, Ba, Ra0}	a1 = {Da, Ba, Ca1}	a2 = {Da, Ba, Ca2}	a3 = {Da, Ba, Ca3}	a4 = {Da, Ba, Ca4}
Transaction b:	b0 = {Db, Bb, Rb0}	b1 = {Db, Bb, Cb1}	b2 = {Db, Bb, Cb2}	b3 = {Db, Bb, Cb3}	b4 = {Db, Bb, Cb4}
Transaction c:	c0 = {Dc, Bc, Rc0}	c1 = {Dc, Bc, Cc1}	c2 = {Dc, Bc, Cc2}	c3 = {Dc, Bc, Cc3}	c4 = {Dc, Bc, Cc4}
Transaction d:	d0 = {Dd, Bd, Rd0}	d1 = {Dd, Bd, Cd1}	d2 = {Dd, Bd, Cd2}	d3 = {Dd, Bd, Cd3}	d4 = {Dd, Bd, Cd4}
Transaction e:	e0 = {De, Be, Re0}	e1 = {De, Be, Ce1}	e2 = {De, Be, Ce2}	e3 = {De, Be, Ce3}	e4 = {De, Be, Ce4}

RDRAM: $t_{RR} = 8$ cycle; $t_{CAC} = 8$ cycle; $t_{RAS} = 20$ cycle; $t_{RP} = 4$ cycle;



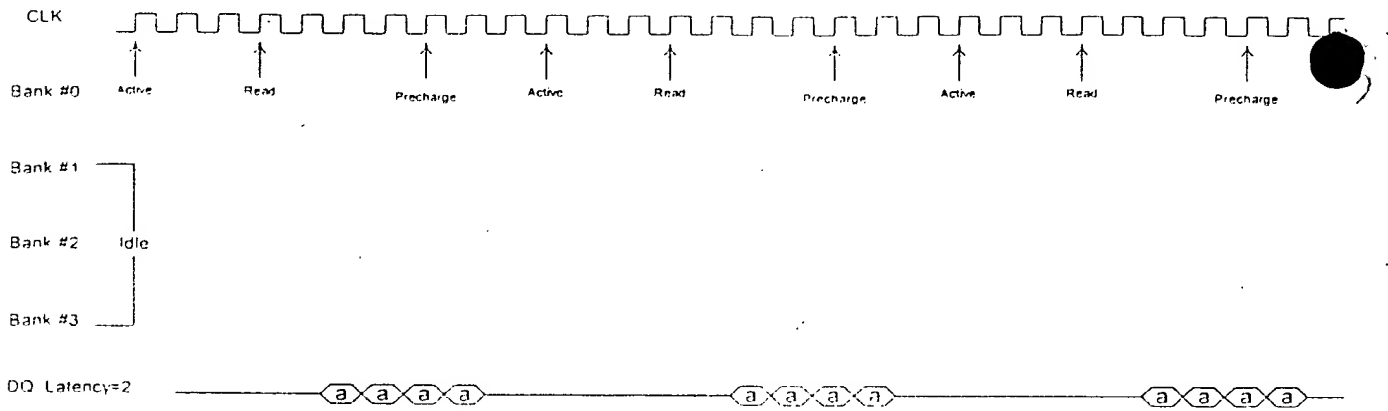
第四 B 圖

SDRAM, Burst length=4



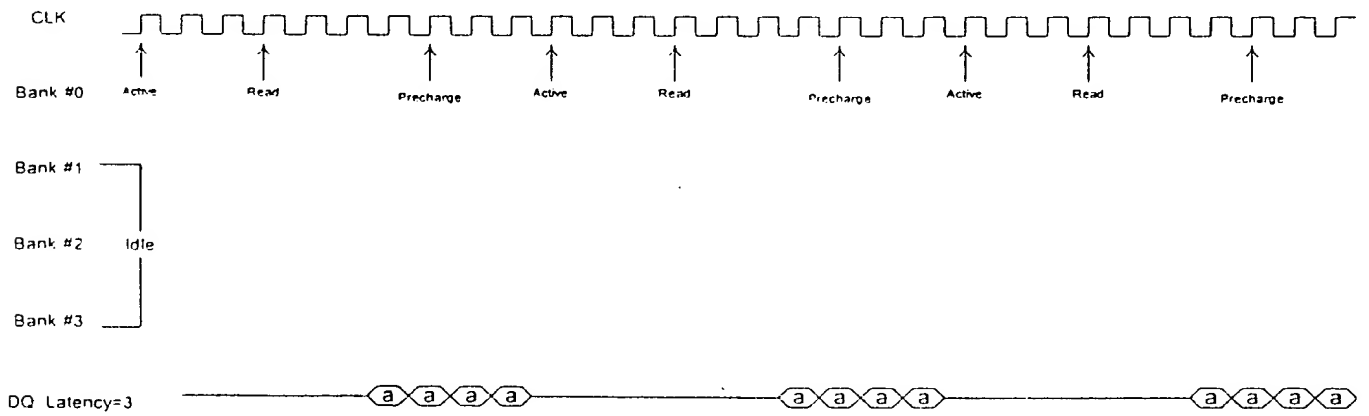
第五圖

SDRAM, Latency=2; Burst length=4

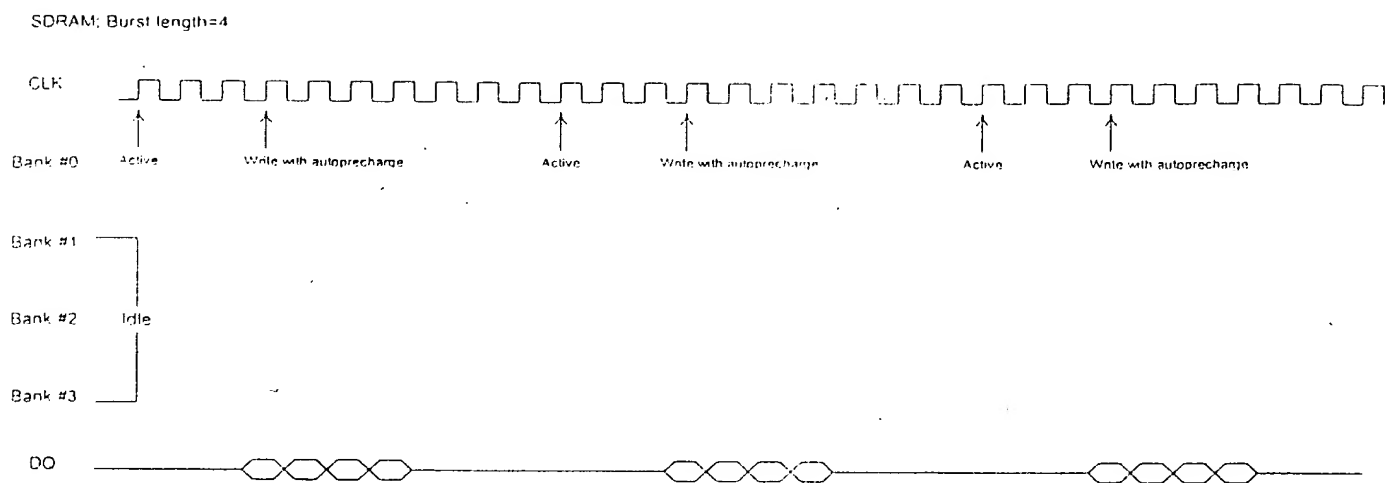


第 六 A 圖

SDRAM; Latency=3; Burst length=4

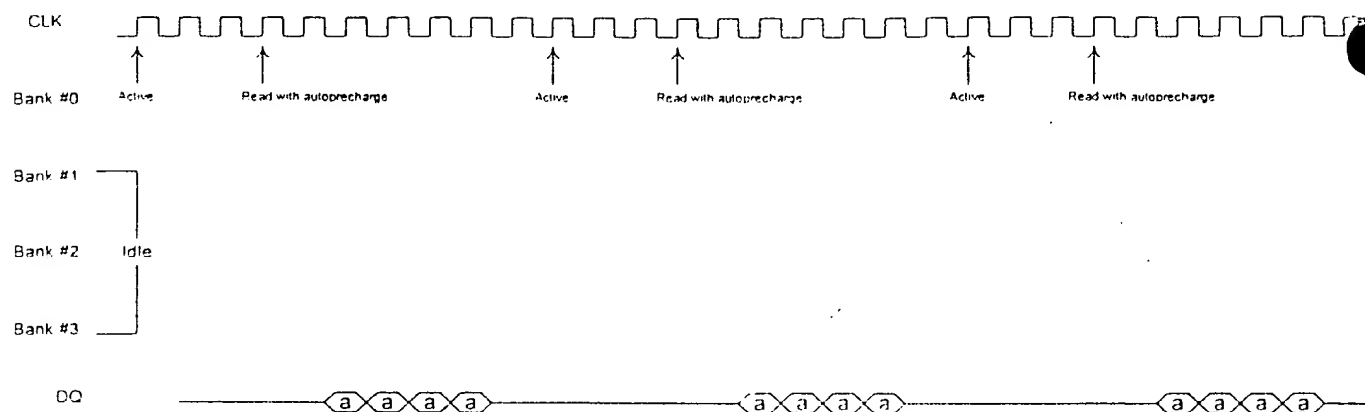


第 六 B 圖



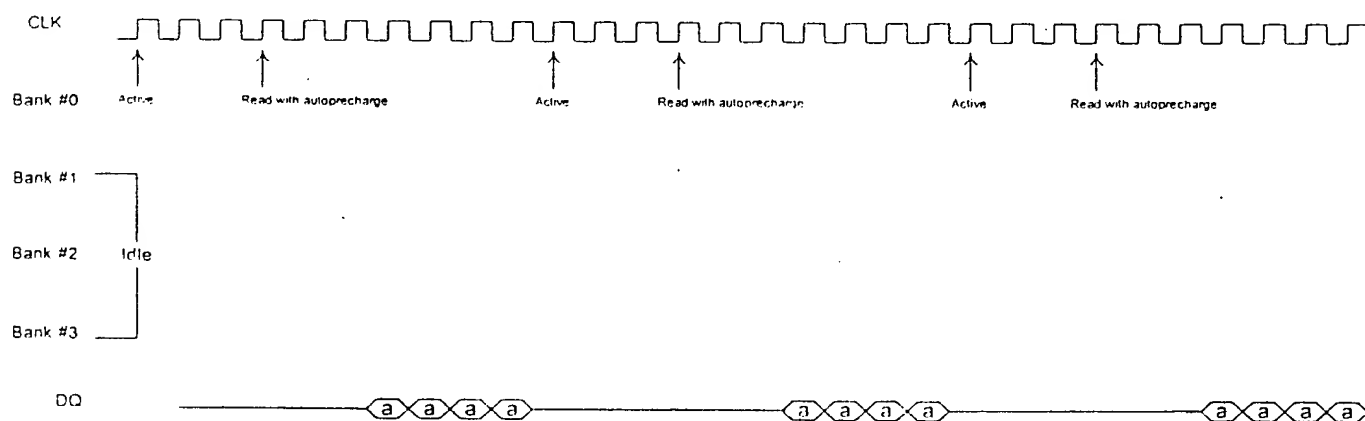
第七圖

SDRAM: Latency=2; Burst length=4



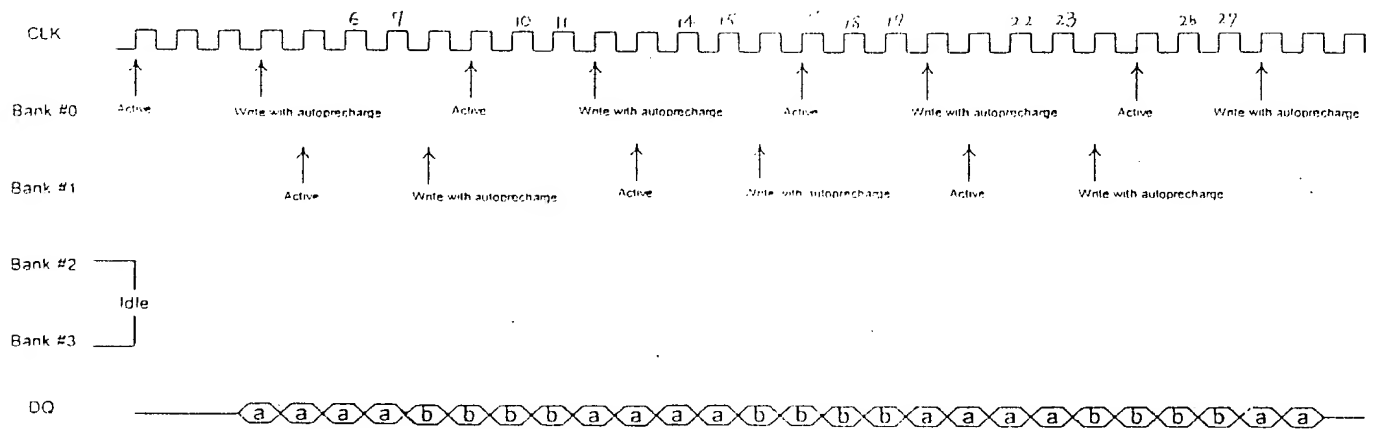
第八 A 圖

SDRAM: Latency=3; Burst length=4



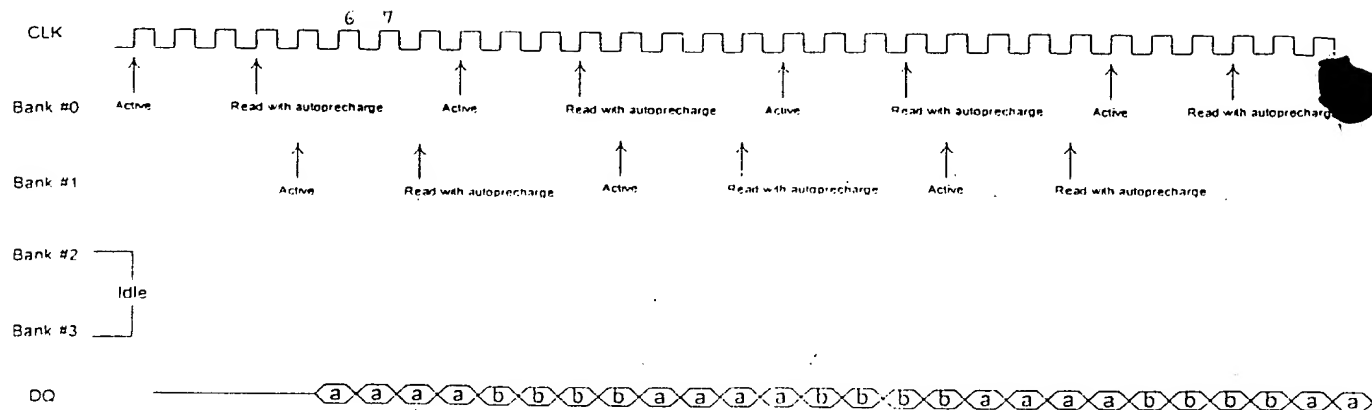
第八 B 圖

SDRAM: Burst length=4



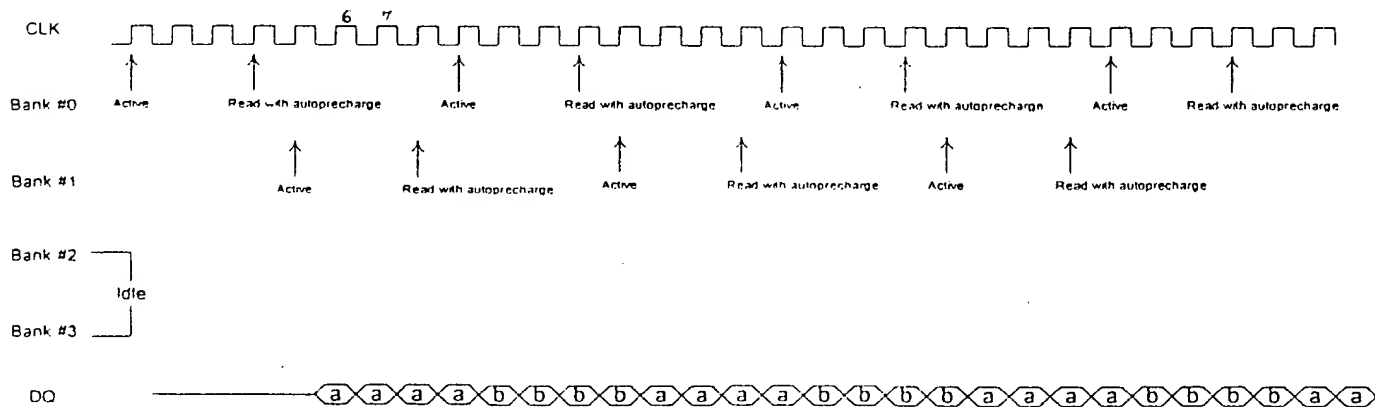
第九圖

SDRAM; Latency=2; Burst length=4



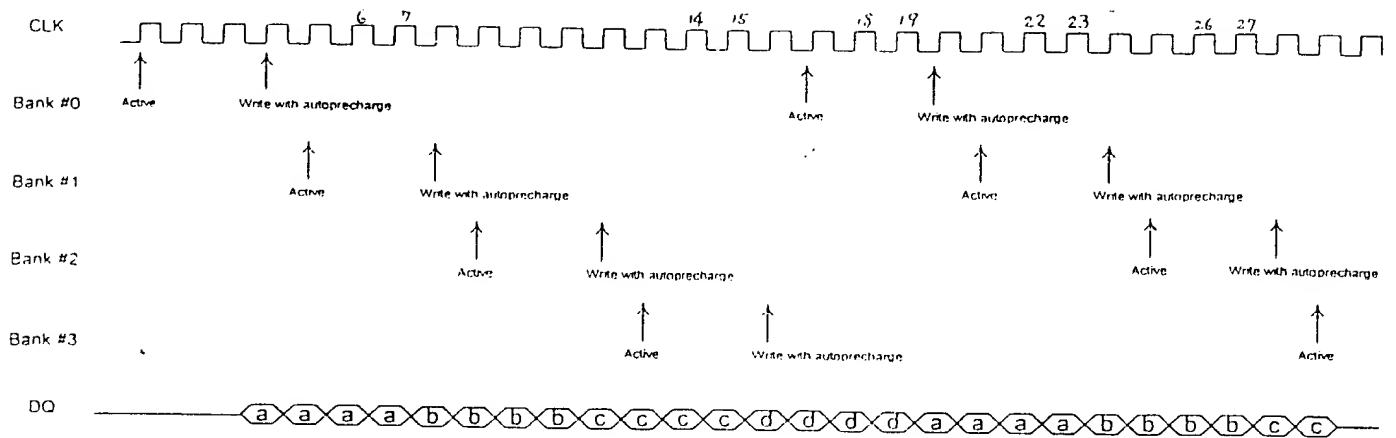
第十 A 圖

SDRAM; Latency=3; Burst length=4



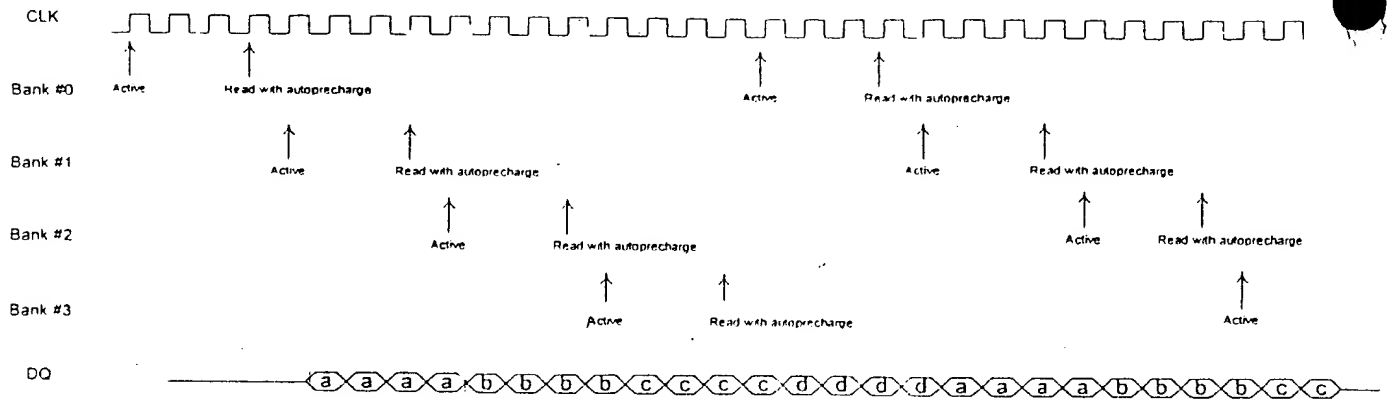
第十 B 圖

SDRAM; Burst length=4



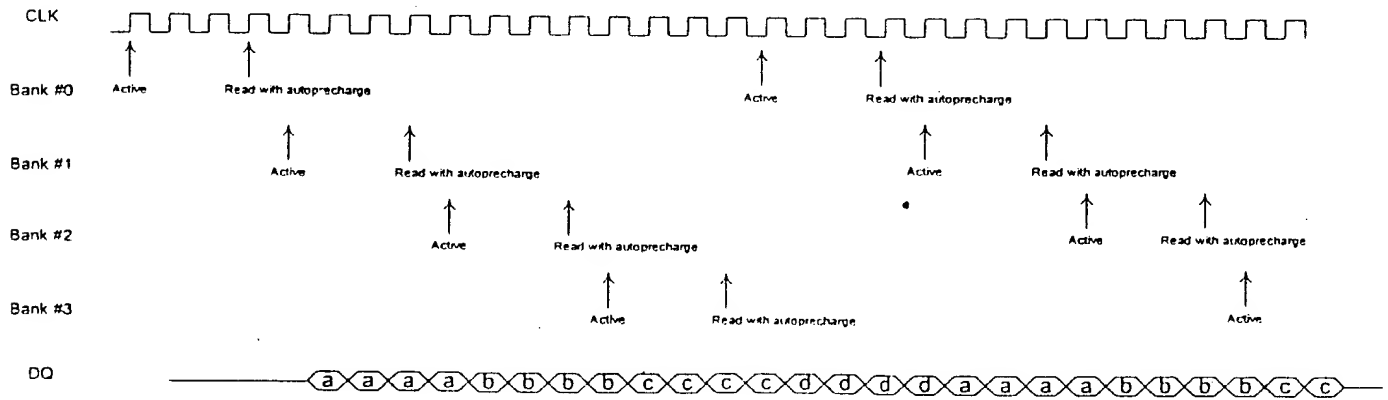
第十圖

SDRAM; Latency=2; Burst length=4



第 十 二 A 圖

SDRAM; Latency=3; Burst length=4



第 十 二 B 圖